8255A、8155A可编程并行I/O接口芯片

**7.3.1 8255A的内部结构和引脚功能**

**1. 8255A内部结构**

1. **数据端口A、B、C**

8255A有A,B,C三个输入输出端口，用来与外设相连，进行数据信息，状态信息的交换。每个端口均为8位，可作为输入端口或输出端口

1. A口：包含一个8位数据输出锁存器/缓冲器和一个8位数据输入锁存器，因此A口无论作为输入口或输出口，其数据均能收到锁存。
2. B口：包含一个8位数据输出锁存/缓冲器和一个8位数据输入锁存器
3. C口：包含一个8位数据输出锁存/缓冲器和一个8位数据输入锁存器。C口可作为一个独立的I/O口，也可分为两个4位端口（上半部和下半部），作为数据输入/输出端口或控制状态端口，配合A、B工作。
4. **A组和B组控制逻辑**

A口和C口的高四位（PC7~PC4）构成A组，由A组控制逻辑电路进行控制；B口和C口的低四位（PC3~PC0）构成B组，由B组控制逻辑电路进行控制

这两个控制电路内部都有控制寄存器，用来接收数据总线送来的方式控制字和读/写控制信号，并按方式控制字确定各端口的工作方式。它可以根据CPU的C口按位置位/复位控制字对C口的每一位实现按位置位或复位控制

1. **数据总线缓冲器**

一个8位双向、三态缓冲器，可直接与CPU系统数据总线相连，是8255A与CPU之间的接口。所有输入输出数据、CPU发出的控制字以及从外设读入的状态信息，都通过它传送。

1. **读/写控制逻辑电路**

负责管理8255A的数据传输过程，控制8255A内部的各种操作。接收来自CPU的地址信息和控制信号，转变为各种命令，送到A,B组控制逻辑电路进行相应的操作。

CS非是片选信号，用于芯片的选择；地址线A1,A0用于端口寻址；RD非和WR非用来决定内部和外部数据总线信息传送的方向；RESET用来使8255A复位。

**2.引脚功能**

采用NMOS工艺制造，40引脚双列直插式（DIP）封装，出了电源和地外，其他引脚可分为与CPU连接和与外设连接的引脚

1. **与CPU连接的引脚**
2. D7~D0:双向、三态数据线，和CPU系统数据总线相连
3. CS非：片选信号，输入、低电平有效。当为高电平时，数据总线缓冲器处于高阻状态（数据总线缓冲器与系统数据总线脱开）；当CS非有效时，CPU可对8255A某端口进行读/写操作。
4. A1和A0：端口地址选择信号，输入。8255A内部有3个输入/输出数据和1个控制攻4个端口，有A1，A0选择。00时为A口；01时为B口；10时为C口；11时为控制口。
5. RD非：读信号，输入、低电平有效。
6. WR非：写信号，输入、低电平有效。
7. RESET：复位信号，输入、高电平有效。当RESET=1，清除所有内部寄存器的内容，并将A、B、C口自动设为方式0下的输入端口
8. 与外设链接的引脚
9. PA7~PA0:端口A的输入/输出线，双向、三态
10. PB7~PB0: 端口B的输入/输出线，双向、三态
11. PC7~PC0: 端口C的输入/输出线，双向、三态

8255A各个端口读/写操作的选择由CS非，RD非、WR非、A1和A0配合实现

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| CS非 | A1 | A0 | RD非 | WR非 | 执行操作 |
| 0 | 0 | 0 | 0 | 1 | 读A口 |
| 0 | 0 | 1 | 0 | 1 | 读B口 |
| 0 | 1 | 0 | 0 | 1 | 读C口 |
| 0 | 1 | 1 | 1 | 0 | 向控制端口写控制字 |
| 0 | 0 | 0 | 1 | 0 | 写A口 |
| 0 | 0 | 1 | 1 | 0 | 写B口 |
| 0 | 1 | 0 | 1 | 0 | 写C口 |
| 0 | 1 | 1 | 0 | 1 | 非法 |
| 1 | X | X | X | X | 禁止（高阻抗） |
| 0 | X | X | 1 | 1 | 误操作（高阻抗） |

**7.3.2 8255A的控制字和工作方式**

**1.8255A的控制字**

8255A控制口的内容对数据端口A,B,C起控制作用，故称为8255A的控制字。通过编程向控制口写入不同的控制字，可灵活地改变A口，B口，C口的工作状态和工作方式。

8255A有两个控制字：方式控制字和C口按位置位/复位控制字。用户通过程序将这两个控制字送到8255A的控制寄存器（A1A0=11），这两个控制字以D7为标志以便于区别。

1. **方式控制字**

如图：

D7=1，表明控制字是方式控制字，用于设定A组和B组的工作方式和工作状态。

工作方式有三种：方式0，方式1，方式2。A组的工作方式可设置为方式0，1，2中的任意一种，B组只有0,1。

工作状态是指输入（Input,对应1）或输出（Output，对应0）

例：A口指定方式0输入，C口上半部分指定为输出，B口为方式0输出，C口下半部分指定为输入，则方式控制字为10010001B或91H

注：若A采用方式1或2，或者B采用方式1，方式控制字中某些位的含义会发生改变。

1. **C口按位置位/复位控制字**

作用：使C口中的某一位为1（置位）或0（复位）；或在A口，B口采用中断方式时，通过向C口的指定位置位，允许8255A的中断信号的发出

含义：如图：

D7=0，表明控制字是C口按位置位/复位控制字。

注：控制字是对C口进行操作的，**但必须写入控制寄存器（控制端口）**，而不是写入C口。

**2.8255A的工作方式**

**1）方式0—基本输入/输出方式**

特点：A，B，C的高4位、低4位均可独立的设置为输入或输出状态。作为输出口时，输出的数据被锁存；输入口时，输入的数据不被锁存。

方式0不需要应答式的联络信号，可用于无条件传送或查询方式传送的简单场合。无条件传送时，CPU可随时用指令对外设进行读/写操作。3个端口均可作为数据端口使用，一般用于连接简单的外设。查询方式传送时，可将A口，B口用作数据端口，而C口的4位作为输出口传送CPU控制外设的控制信号，另外4位作为输入口对CPU输入状态信息。

**2）方式1—选通输入/输出方式**

也称：选通输入/输出方式。在这种方式下，无论是输入还是输出都通过应答关系实现，此时A口或B口用作数据端口，C口的一部分引脚用作控制端口，提供选通信号和应答信号（握手信号），配合A口或B口进行数据的输入和输出。方式1可用于查询方式或中断方式传送数据的场合。

1. **选通输入方式**：A口为方式1输入时，C口的PC4,PC5,PC3作为控制信号，PC7，PC6则可作为I/O口使用；当B口作为方式1输入时，C口的PC2,PC1,PC0作为控制信号，如图：

各控制信号的定义：

* 1. STB非：选通输入信号，低电平有效。由外设产生的数据选通信号，有效时，数据从输入设备到A口（或B口）的输入缓冲器。
  2. IBF：输入缓冲器满信号，高电平有效。是对STB非的响应信号。一方面作为8255A发出的状态信号，CPU可通过查询C口的PC5（或PC1）获得；另一方面，IBF信号作为外设的STB非响应信号送给外设，阻止外设发送新的数据。
  3. INTE：中断允许信号，高电平有效。其置位/复位由C口按位控制实现。
  4. INTR：中断请求信号，高电平有效。有效表示8255A向CPU申请中断。

1. **选通输出方式**：A为1输出时，C口的PC6、PC7、PC3作为控制信号，PC5、PC4则作为I/O口使用。当B口作为方式1输出时，C口的PC2、PC1、PC0作为控制信号，如图：

各控制信号如下：

1. OBF非：输出缓冲器满信号。当CPU将数据输入到8255A的输出锁存器中，写信号WR非的上升沿（后沿）是OBF非清0。该信号有8255A输出给外设，通知外设取走数据。

可由CPU查询，为1时，表示外设已取走数据，CPU可发下一个数据；为0时，表示数据未被取走，阻止CPU发新的数据。

1. ACK非：外设应答信号。外设从8255A的输出锁存器中取走数据时，向8255A发响应信号ACK非=0，并在其下降沿将OBF非置1。
2. INTE：中断允许信号。其置位/复位由C口按位控制实现。PC6=1，允许A口中断；PC2=1，允许B口中断
3. INTR：中断请求信号。

8255A的A口和B口可同时采用方式1，输入/输出方式可以随意组合。当B（A）采用方式1，A（B）也可采用方式0。

1. **方式2—双向选通输入/输出方式**

由于8255A的A口具有输入、输出两个锁存器，B口和C口只输出锁存器，所以方式2只适用于A口。在该方式下，可使外设利用A口的8位数据线与CPU之间分时进行双向数据传送，即在8位数据线PA7~PA0上，既可输出数据给外设，也可以输入数据（但不能同时进行）。输入或输出数据均锁存。方式2可用于查询方式或中断方式传送数据的场合。

A口在方式2时，C口的PC7~PC3被规定为控制信号，配合A口使用，如图：

图中控制信号的含义与方式1完全相同。

双向选通方式不过是A口在方式1输出/输入情况下的组合。此时，INTE1由PC6置位/复位决定，INTE2由PC4置位/复位决定。只要输入、输出方式有一个发出中断申请，INTRA=1.

**当A口工作方式2时，B口可工作在方式0或方式1，在方式1下，可用PC2~PC0作为控制信号。**